

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平8-184845

(43) 公開日 平成8年(1996)7月16日

(51) Int.Cl. ⁸	識別記号	庁内整理番号	F I	技術表示箇所
G 0 2 F 1/1343				
G 0 1 R 31/00				
G 0 2 F 1/13	1 0 1			

審査請求 未請求 請求項の数3 F D (全 6 頁)

(21) 出願番号 特願平6-338915

(22) 出願日 平成6年(1994)12月28日

(71) 出願人 390005175

株式会社アドバンテスト

東京都練馬区旭町1丁目32番1号

(72) 発明者 関 信介

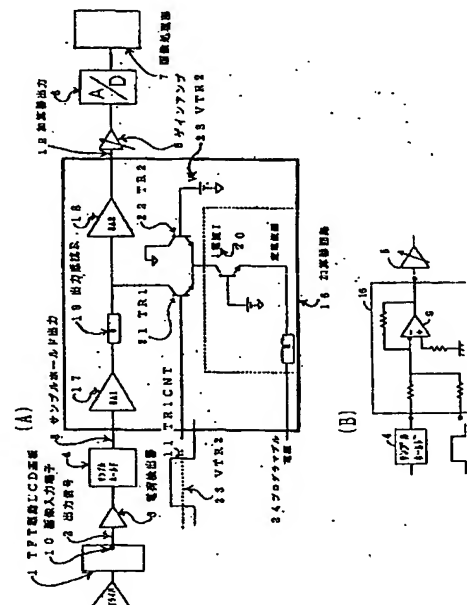
東京都練馬区旭町1丁目32番地 株式会社
アドバンテスト内

(54) 【発明の名称】 TFT駆動LCD基板検査装置

(57) 【要約】

【目的】 TFT駆動LCD基板の画素欠陥を検出する検査装置においてオープン不良モードの判定も精度良く行うことが可能な検査装置を得る。

【構成】 サンプルホールド出力8とゲインアンプ5との間にTFT駆動LCD基板1の画像入力端子10からの出力信号2に同期して定電流のON、OFFスイッチングができる加算器回路16を設け、被試験画素である各画素27を画像表示モードで選択的に駆動し、バッファアンプBA2・18からの加算器出力12を、有効画素期間13とブランキング期間14との出力レベル差をなくすことで、各画素27に対応し、かつ微小な差しかない信号となった加算器出力12をゲインアンプ5に入力して増幅し、その後A/D変換器6でデジタル信号に変換し画像処理部7で画像表示して画素欠陥の有無を検出する。



BEST AVAILABLE COPY

【特許請求の範囲】

【請求項1】 被測定TFT駆動LCD基板(1)の各画素(27)を画像表示モードで選択的に駆動させて共通接地端子にドライバよりの信号を入力し、上記被測定TFT駆動LCD基板(1)の画像入力端子からの出力信号(2)をサンプルホールド回路(4)でサンプリングし、上記サンプルホールド回路(4)の出力信号をゲインアンプ(5)で増幅し、A/D変換器(6)でA/D変換し、画像処理部(7)で画素欠陥を検出する検査装置において、

上記サンプルホールド回路(4)と上記ゲインアンプ(5)の間に、測定のブランキング期間(14)もしくは有効画素期間(13)の期間にVSH(15)の信号レベル差に相当するオフセット電圧を加算もしくは減算して出力電圧の基準レベルを一定に保つ加算器回路(16)を設けた、

ことを特徴とするTFT駆動LCD基板検査装置。

【請求項2】 加算器回路(16)は、第1バッファアンプ(17)と出力抵抗(19)と第2バッファアンプ(18)を直列接続し、コントロールパルスTR1CN T(11)の期間に上記出力抵抗(19)と上記第2バッファアンプ(18)との間より第1電流スイッチング素子TR1(21)を通して定電流I(20)を引き込む加算器回路(18)であることを特徴とする請求項1記載のTFT駆動LCD基板検査装置。

【請求項3】 加算器回路(16)はオペアンプ(9)と複数の抵抗で構成された加算器回路(16)であることを特徴とする請求項1記載のTFT駆動LCD基板検査装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は、TFT(THIN FILM TRANSISTOR)駆動LCD(LIQUID CRYSTAL DISPLAY)基板の画素欠陥を検出する検査装置の信号増幅回路に関する。

【0002】

【従来の技術】従来技術によるTFT駆動LCD基板の画素欠陥の検査装置において、特開平5-158056が最も有効な方式として活用されている。即ち、液晶(LIQUID CRYSTAL)注入前のTFT駆動LCD基板の各画素を画像表示モードで選択的に駆動し、それら各画素が接続される共通接地端子に直流又はパルス波信号を入力し、上記基板の画像入力端子に出力される信号の各画素に対応した振幅値を検出し、その振幅値によってTFT駆動LCD基板の各画素における欠陥を検出し、良否判定を行う方式である。

【0003】図3に従来技術のブロック図を、図4に図3でのタイミングチャートを示す。更に図5にTFT駆動LCD基板の構成の一部分のブロック図を、図6に図5の構成における一画素の等価回路を示す。画素欠陥の

モードにはオープン不良とショート不良とがある。そのうちショート不良は出力する信号が異常に大きくなるので容易に判別できる。ところが、上記信号増幅回路の方式ではオープン不良の判定が精度よくできなかった。その理由は、各画素部分で画像表示したとき、次の画面が表示されるまでの所定時間、つまり1フレーム時間分、画像信号を保存させるために各画素部分に「保持容量」が形成されているが、図5、図6に示すように、この保持容量C28の値は、ビデオ入力ライン26の寄生容量CV29及び各画素を構成するためのドレインライン25に生じてしまう寄生容量CD30の合計と比較すれば、1/100程度と容量が小さいからである。

【0004】このために、各画素における保持容量C28の不良モードのうちオープン不良を検出しようとする場合、保持容量C28が正常或いは異常であってもその出力信号の振幅値の間に微小な差しか生ぜず、その良否を判断しようとするのに的確に行うことが困難であるという問題点を有していた。即ち、単純な微小信号であれば、アンプのゲインを上げるだけでよいがTFT駆動LCD基板の検査の場合、図4D及びFに示す有効画素期間13とブランキング期間14との信号の基準レベルの差が大きいため、サンプルホールドした図4Fの信号をそのまま図3のゲインアンプ5に入力して増幅すると構成回路の電源電圧の制限や、A/D変換器6の入力範囲の制限のために、ゲインアンプ5のゲインをあまり大きくできないからである。また、近時ますます画素27

(図5参照)の数が増加し、 $640 \times 480 = 307,200$ 画素/基板、が一般的な構成となりそのために画素数増とともに寄生容量CV29、CD30も増加したので各画素27の欠陥を検出し良否判定を行うことの困難さがますます増していたのが実態である。

【0005】

【発明が解決しようとする課題】本発明が解決しようとする課題は、画素欠陥の検査において、オープン不良モードの検出精度を格段に向上させることである。即ち、液晶注入前のTFT駆動LCD基板の画素欠陥を検出する検査装置の信号増幅回路において、寄生静電容量が大きくなるTFT基板の構成と構造のために、各画素に対応させて入力し、検出する信号の大きさが、良品と不良品との間で微小なレベル差しか生ぜず不良検出精度の向上が困難であったものを、有効画素期間13とブランキング期間14との信号の基準レベル差を無くし、S/N比を向上させて、ゲインアンプ5の信号増幅率を大きくした後にA/D変換し、画像表示して良否判定がし易いものとするのできる信号増幅回路を実現することである。

【0006】

【課題を解決するための手段】本発明の、液晶注入前の工程でTFT駆動LCD基板の画素欠陥を検出する検査装置の増幅回路において、サンプルホールド出力とゲイ

ンアンプの間に、TFT駆動LCD基板の画像入力端子からの出力信号に同期して定電流をON、OFFスイッチングができる加算器回路を設けた。そして、加算器回路内のバッファアンプの出力を有効画素期間とブランキング期間との出力レベル差をなくすことで、各画素に対応し、かつ微小な差しかない信号となった加算器出力をゲインアンプに入力して増幅する。その後、A/D変換器でデジタル信号に変換し、画像処理部で画像表示して画素欠陥の有無を検出することを可能とする信号増幅回路で実現した。上記加算器回路は高速性を要求されるため、高速の電流スイッチング回路を用いてブランキング期間或いは有効画素期間の信号の基準レベルにオフセット電圧を加減算して信号レベルを一定にする方式とした。他の方式として、高速性と精度はやや劣るが、高速のオペアンプを用いてアナログ信号を加減算するアナログ加算器で構成できる。この方式でも従来に比べて両期間の信号の基準レベルの差が非常に小さくなるので実用上有効である。

【0007】

【作用】従来技術の有力かつ有効な前記手段によれば、共通の接地端子からパルス波形を印加し、TFTによる各画素を通過したパルス波形の振幅の大きさの違いを検出することで、良品かあるいはオープン不良かショート不良かの不良モードを判定する。ところが、TFT駆動LCD基板の構成上ビデオ入力ライン、ドレインラインは基板全体にもしくは一部分に広がっており、それぞれのラインとの間に寄生容量を持つ(図5参照)。この寄生容量に比較して保持容量Cは1/100程度と極めて小さい(図6参照)。その為に、出力として検出される振幅のほとんどが寄生容量によるものであり、その上に重畳される保持容量Cの分はごく小さく、オープン不良であるか否かを判定すべき振幅の差は微小なものでしかない。本発明の構成は、寄生容量による振幅の分を軽減でき、判定に必要な信号の部分のみを抽出してS/N比を向上させた上で増幅することで、微小な差の信号レベル部分を拡大してその差の判定をし易くするためにアンプのゲインを上げてA/D変換することを可能とした。

【0008】

【実施例】図1に本発明の一実施例のブロック図を示す。図1(A)は定電流スイッチング方式であり、図1(B)はオペアンプによるアナログ信号加算方式である。図2に図1の実施例によるタイミングチャートを示す。図3は本発明と比較するために従来技術のブロック図である。図1、図2を用いて説明する。

【0009】本発明の一実施例である図1(A)の構成では、サンプルホールド出力8とゲインアンプ5との間に、TFT駆動LCD基板1の画像入力端子10からの出力信号2に同期して定電流のON、OFFをスイッチングでき、オフセット電圧を加減算する加算器回路1-6を設けた。電荷検出器3の出力では良品画素と不良品画

素のレベル差よりも有効画素期間13とブランキング期間14のレベル差の方がはるかに大きい。このレベル差を小さくするために、ブランキング期間14のみ加算器回路16内の第2スイッチング素子TR2・22のコントロール電圧であるVTR2・23を基準レベルとしたコントロールパルスTR1CNT-1-1で第1スイッチング素子TR1・21をONさせ、電流I・20を流し、第1バッファアンプBA1・17の出力抵抗R19の端子間にI×Rの電位差を発生させる。これにより、第2バッファアンプBA2・18の出力ではブランキング期間14のみI×Rの値だけ電圧レベルが下がる。有効画素期間13とブランキング期間14のサンプルホールド出力レベル差 $V_{SH15} = I \times R$ となるような電流値I・20をプログラマブル電源24で設定しておくことにより第2バッファアンプBA2・18出力では有効画素期間13とブランキング期間14の出力レベル差が小さくなる。ここで、プログラマブル電源24はLCD基板検査装置本体に設けているものを用いる。

【0010】よって、図2Hに示すように上記出力レベル差がなくなり、各画素27に対応し、かつ、微小な差の部分のみの信号となった加算器出力12をゲインアンプ5に入力して大きく増幅する。その後は、A/D変換器6でデジタル信号に変換し、画像処理部7で画像表示して各画素27における画素欠陥の有無を検出し、良否の判定を行うことを可能とした。

【0011】この一実施例ではブランキング期間14のみ第1スイッチング素子TR1・21を導通させてブランキング期間14の信号レベルを降下させたが、逆に通常は第1スイッチング素子TR1・21を導通させておいて、有効画素期間13のみ第2スイッチング素子TR2・21を導通させ第1スイッチング素子TR1・21を遮断させて有効画素期間13の信号レベルを上昇させてもよい。

【0012】図1(B)に加算器回路16の他の実施例を示す。オペアンプ9と抵抗を用いたアナログ加算回路であり、高速性や精度がやや劣るが、実用に耐え得る。

【0013】前記被試験画素が、液晶注入後のTFT駆動LCD基板1の画素27であっても、本発明の構成による画素欠陥を検出するための信号増幅回路によって検査が可能である。

【0014】また、本発明の構成によれば、対象とする被試験素子のアクティブスイッチマトリクスを形成するトランジスタは、TFT(薄膜トランジスタ)として説明したがマトリクス部分のアクティブスイッチがTFTでなくても、図6の等価回路31で示されるものであれば、他の方式のFET(FIELD-EFFECT TRANSISTOR)であっても良い。

【0015】

【発明の効果】本発明は、以上説明したように構成されているので、以下に記載されるような効果を奏する。

(1) TFTからの出力に同期して定電流IのON、OFFスイッチングをすることができる加算器回路を、サンプルホールド出力とゲインアンプとの間に挿入して、必要な信号の部分のみを増幅することが可能となったことで、微小な信号の差の存在する部分を増幅して拡大することができ、TFT駆動LCD基板の画素欠陥の検査においては最も検出が難しいとされてきたオープン不良モードの検査精度が向上し、画素品質の検査における良否判定が極めて容易になった。

(2) 本発明の構成としたことで、TFT駆動LCD基板の大型化に伴い画素数が増加し、寄生容量も増加して更に信号のS/N比が低下する場合でも、判定が必要とする信号の部分のみを増幅することができるので、良否判定のための検出精度を維持することができる。

(3) 更に、本発明の構成の信号制御処理による信号増幅回路であれば、TFT駆動LCD基板の検査に限らず他の微小なレベル差しかない信号を増幅拡大すること、良否判定を行うのに極めて有効である。

【図面の簡単な説明】

【図1】図1(A)は本発明の一実施例を示すブロック図であり、図1(B)は他の実施例を示す図である。

【図2】図1の実施例によるタイミングチャートを示す。

【図3】従来技術のTFT駆動LCD基板の画素欠陥を検出する信号制御回路のブロック図を示す。

【図4】図3の場合のタイミングチャートを示す。

【図5】TFT駆動LCD基板の構成の1部分を示すブロック図である。

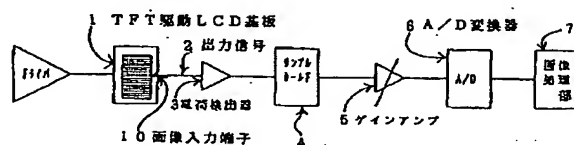
【図6】図5の構成における1画素に注目した場合の等価回路を示す。

【符号の説明】

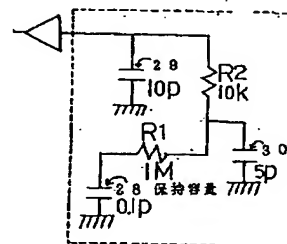
1 TFT駆動LCD基板

- * 2 出力信号
- 3 電荷検出器
- 4 サンプルホールド
- 5 ゲインアンプ
- 6 A/D変換器
- 7 画像処理部
- 9 オペアンプ
- 8 サンプルホールド出力
- 10 画像入力端子
- 11 TR1CNT
- 12 加算器出力
- 13 有効画素期間
- 14 ブランキング期間
- 15 VSH
- 16 加算器回路
- 17 第1バッファアンプBA1
- 18 第2バッファアンプBA2
- 19 出力抵抗R
- 20 電流I
- 21 第1スイッチング素子TR1
- 22 第2スイッチング素子TR2
- 23 VTR2
- 24 プログラマブル電源
- 25 ドレインライン
- 26 ビデオ入力ライン
- 27 画素
- 28 保持容量C
- 29 寄生容量CV
- 30 寄生容量CD
- 31 等価回路
- R1 画素TFTのON抵抗
- * R2 ドレインライン選択TFTのON抵抗

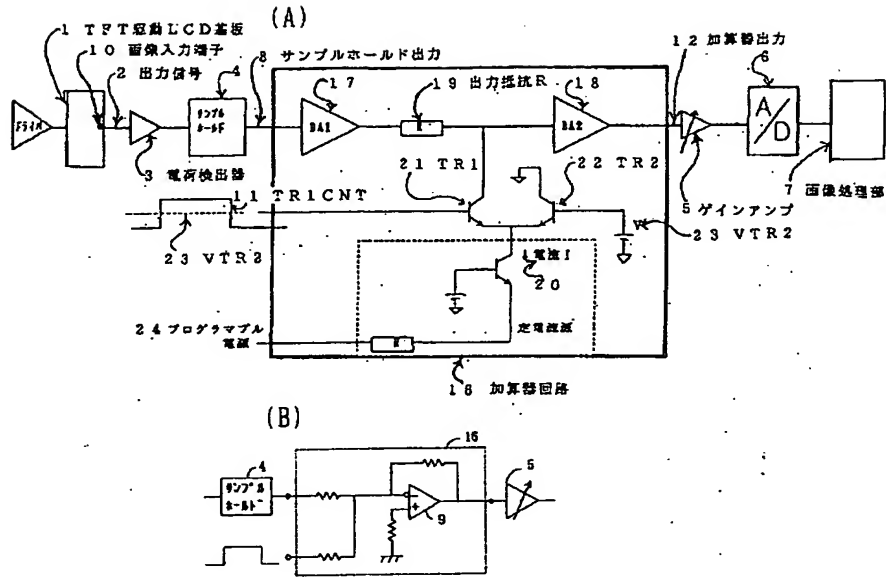
【図3】



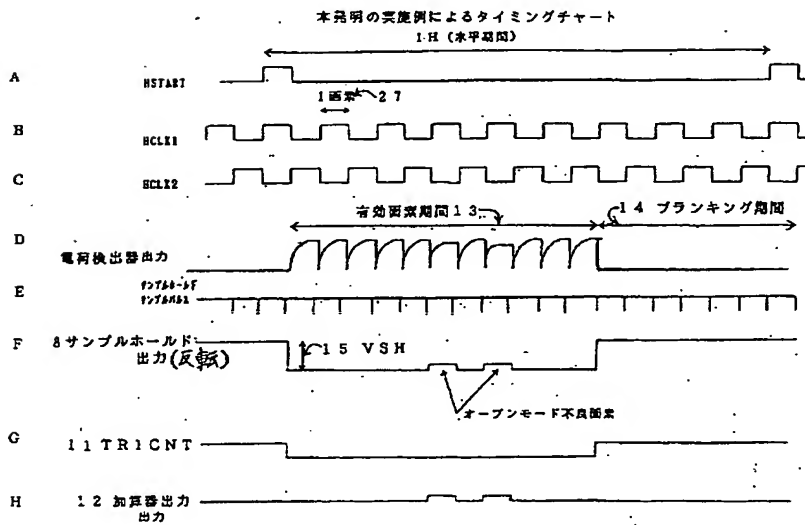
【図6】



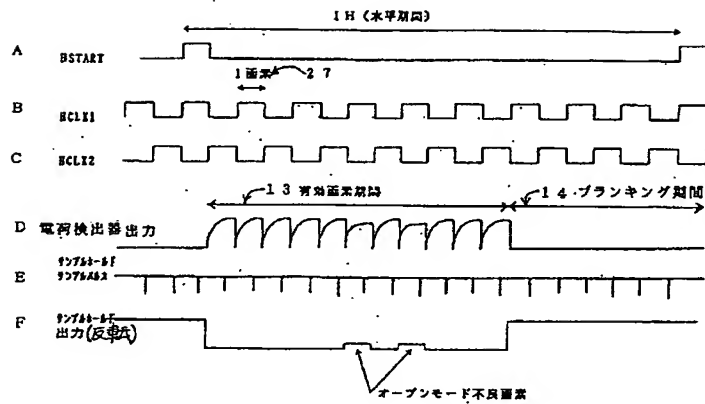
【図1】



【図2】



【図4】



【図5】

